

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 9 月 12 日 (12.09.2003)

PCT

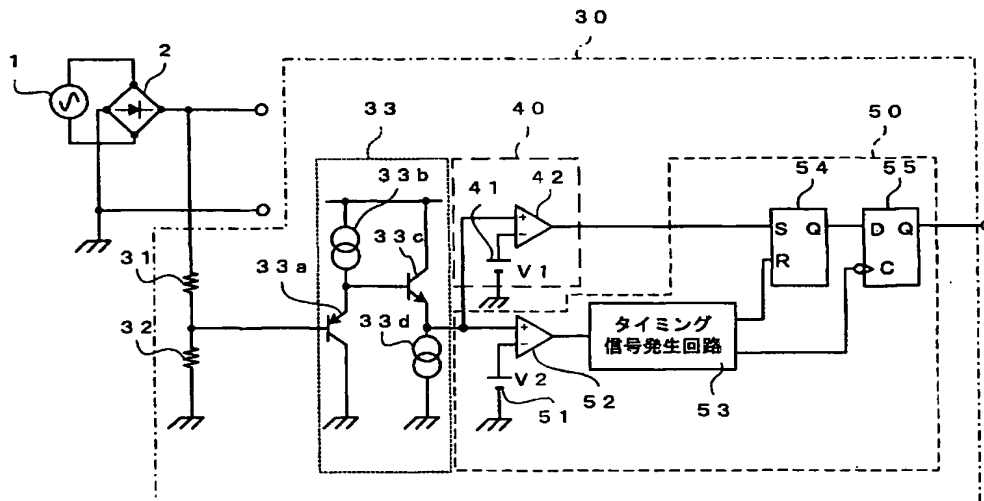
(10) 国際公開番号
WO 03/075019 A1

- (51) 国際特許分類: G01R 19/165 [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 Saitama (JP).
- (21) 国際出願番号: PCT/JP03/02651
- (22) 国際出願日: 2003 年 3 月 6 日 (06.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-60059 2002 年 3 月 6 日 (06.03.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 嶋田 雅章 (SHIMADA, Masaaki) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 山田 智康 (YAMADA, Tomoyasu) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 関口 恵一 (SEKIGUCHI, Kei-ichi) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).

[続葉有]

(54) Title: AC SIGNAL LEVEL DETECTION CIRCUIT

(54) 発明の名称: 交流信号のレベル検出回路



53...TIMING SIGNAL GENERATION CIRCUIT

(57) Abstract: AC voltage generated by an AC power source (1) is rectified by a full wave rectifying circuit (2), which generates rectified voltage. An internal regulator (33) performs waveform shaping of the rectified voltage. A comparator (42) compares a rectified voltage output from the internal regulator (33) to a reference voltage (V1) and detects a period when the rectified voltage exceeds the reference voltage (V1). According to an output signal of the comparator (42), a judgment signal generation circuit (50) judges the power source voltage supplied from the AC power source (1) and generates a judgment signal. Accordingly, there is no need of a capacitor for detecting the peak value of the rectified voltage and it is possible to reduce the size and cost of the AC voltage detection circuit.

(57) 要約: 全波整流回路2が交流電源1で発生する交流電圧を整流した整流電圧を発生し、内部レギュレータ33が整流電圧の波形整形を行う。比較器42は、内部レギュレータ33が出力する整流電圧と基準電圧V1との比較で、整流電圧が基準電圧V1を越えた期間

[続葉有]



(74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒101-0054 東京都千代田区神田錦町二丁目7番地 協販ビル2階
Tokyo (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, JP, KR, US.

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

を検出する。判別信号生成回路50は、比較器42の出力信号に基づき、交流電源1が供給する電源電圧を判別して判別信号を生成する。従って、整流電圧のピーク値を検出するためのコンデンサ等が不要であり、交流電圧検出回路の小型化と低コスト化とが可能になる。

明細書

交流信号のレベル検出回路

5 技術分野

本発明は、交流電源が供給する電源電圧を検出し、電源電圧を示す判別信号を出力する交流信号のレベル検出回路に関する。

背景技術

- 10 商用交流を入力とする電源装置は、ACアダプタ、OA機器、民生機器等の各電子機器に組込まれている。これらの電子機器は、世界各国の商用の交流電圧に対応できることが望まれている。

電子機器を、世界各国の商用交流電圧に対応にさせるために、近年の電源装置には、交流信号のレベル検出回路として交流電圧検出回路を備えたものがある。

- 15 交流電圧検出回路は、交流電源から与えられる電源電圧を検出し、電源電圧を判別させるための判別信号を発生する。電源装置は、その判別信号に基づき制御方法や回路保護方法を切替えている。

従来の交流電圧検出回路の一例を図10に示す。

図10は、従来の交流電圧検出回路を示す回路図である。

- 20 この交流電圧検出回路10は、交流電源1が供給する電源電圧が例えば200ボルト系か100ボルト系かを示す判別信号を発生する回路であり、交流電源1に接続された全波整流回路2の正極とグランドとの間に設けられている。

- 全波整流回路2は、交流電源1が発生する交流電圧を整流して整流電圧を出力する。全波整流回路2の正極にアノードが接続されたダイオード11は、順方向
25 電圧が印加された時に、このダイオード11のカソードとグランドとの間に接続されたコンデンサ12を充電する。コンデンサ12には、全波整流回路2が発生する整流電圧のピーク値が充電される。

コンデンサ12とダイオード11のカソードとの接続点には、抵抗13の一端が接続され、抵抗13の他端とグランドとの間には、抵抗14が接続されている

。これらの抵抗13, 14は、コンデンサ12の充電電圧を分圧し、抵抗13と抵抗14との間の接続点から出力する。

その抵抗13と抵抗14との接続点には、ツェナーダイオード15のカソードが接続され、ツェナーダイオード15のアノードは、NPN型トランジスタ16のベースに接続されている。トランジスタ16のコレクタは、抵抗17を介して直流電源18の正極に接続され、トランジスタ16のエミッタがグランドに接続されている。なお、直流電源18の正極には、抵抗19を介してNPN型トランジスタ20のコレクタが接続されている。トランジスタ16のコレクタが、トランジスタ20のベースに接続され、トランジスタ20のエミッタが、グランドに10 接続されている。

コンデンサ12の充電電圧が上昇して抵抗13と抵抗14との接続点の電圧が上昇すると、ツェナーダイオード15が降伏してトランジスタ16にベース電流を流す。これにより、トランジスタ16がオンし、トランジスタ16のコレクタ電圧を下げる。トランジスタ16のコレクタ電圧が降下すると、トランジスタ215 0がオフする。トランジスタ20がオフすることにより、トランジスタ20のコレクタに接続された出力端子の電圧が上昇する。これにより、交流電源1が200ボルト系の電源電圧を供給していることが、電源装置等に表示される。

しかし、従来の交流電圧検出回路には、次のような課題があった。

半導体基板上でコンデンサを形成するときには、トランジスタ素子やMOSFET20 E Tを形成する場合よりも、遙かに大きな面積が必要になる。IC（集積回路）に、現実的、実用的に形成できる1つのコンデンサは、10 [pF] 程度である。

ところが、図10のコンデンサ12は、商用の交流電圧のピーク値を充電する。交流電圧を整流した整流電圧の周期は、10 [msec] 程度と長いため、コンデンサ12には、100 [nF] 程度以上の容量が必要になる。そのため、交流電圧検出回路をIC化して電源装置の全体の小型化や外付け部品数を削減しようとしても、IC上で100 [nF] 以上の容量を得る面積を確保することが困難である。その上、コスト面でも非現実的になる。さらに、ICチップ上のコンデンサでは、商用周波数のような数十 [msec] の長い周期にわたって、電

荷を保持することが困難であり、ピーク電圧を検出することが困難になっていた。即ち、IC化による電源装置の小型化と低コストとが困難になるとともに、外付け部品数の増加により、信頼性を損なうことがあった。

5 発明の開示

本発明は、このような現状を鑑みてなされた発明であり、小型化と低コスト化が可能であるとともに、信頼性を向上させた交流信号のレベル検出回路を提供することを目的とする。

上記目的を達成するために、本発明の第1の観点に係る交流信号のレベル検出回路は、

交流信号の信号レベルが、零よりも大きい第1の基準電圧（V2）を小さい方から大きい方に越えたか否かを判別する第1の判別部（52，82）と、

前記交流信号の信号レベルが、前記第1の基準電圧（V2）よりも大きい第2の基準電圧（V1）を越えたか否かを判別する第2の判別部（40，70，9015）と、

前記第1の判別部（52，82）の第1の判別結果と前記第2の判別部（40，70，90）の第2の判別結果とを記憶する記憶部（53，54，83，84）と、

前記記憶部（53，54，83，84）が記憶している判別結果を参照し、参照した判別結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果としての高低判別信号を出力する判別信号出力部（53b，55，85，86）と、を備えたことを特徴とする。

このような構成を採用したことにより、交流信号の信号レベルと第1の基準電圧、第2の基準電圧とを比較し、この比較結果に基づいて高低判別信号が出力されるので、交流信号を交流電圧に対応させれば、交流電圧のピーク値を求める必要がなく、大きな容量のコンデンサが不要になる。

なお、前記判別信号出力部（53b，55，85，86）は、

前記記憶部（53，54，83，84）が記憶している前記第1の判別部（52，82）の第1の判別結果と前記第2の判別部（40，70，90）の判別結

果とを参照し、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す第2の判別結果とを、前記記憶部（53、54、83、84）が記憶しているとき、前記交流信号の信号レベルが高いことを示す高低判別信号を出力し、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記第2の基準電圧（V1）以下であることを示す第2の判別結果とを、前記記憶部（10 53、54、83、84）が記憶しているとき、前記交流信号の信号レベルが低いことを示す高低判別信号を出力するようにしてもよい。

また、前記判別信号出力部（53b、55）は、

記憶部（53、54）が記憶している前記第1の判別結果と前記第2の判別結果とを、前記交流信号の信号レベルが前記第1の基準電圧（V2）を大きい方から小さい方に越えたときに参照して、前記高低判別信号を出力するようにすることもできる。

また、前記判別信号出力部（83b、85、86）は、

記憶部（83、84）が記憶している前記第1の判別結果と前記第2の判別結果とを、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたとき20 と前記第1の基準電圧（V2）を大きい方から小さい方に越えたときに参照して、前記高低判別信号として出力するものであってもよい。

また、前記第1の判別部は、前記交流信号の信号レベルと前記第1の基準電圧（V2）とを比較し、前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたときは、その旨の第1の判別結果を出力する第25 1の比較器（52）を備え、

前記第2の判別部は、前記交流信号の信号レベルと前記第2の基準電圧（V1）とを比較し、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたときは、その旨の第2の判別結果を出力する第2の比較器（42）を備え、
前記記憶部は、

前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す前記第1の比較器（52）の第1の判別結果に基づいてリセット信号（P1）を生成して出力するリセット信号出力部（53a）と、

前記リセット信号生成部（53a）が生成したリセット信号（P1）に基づいてリセットされ、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す前記第2の比較器（42）の第2の判別結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第1の判別結果、前記第2の判別結果として記憶するリセットセットフリップフロップ回路（54）と、を備え、

10 前記判別信号出力部は、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す前記第1の比較器（52）の第1の判別結果に基づいてタイミング信号（P2）を生成し、出力するタイミング信号出力部（53b）と

15 前記タイミング信号出力部（53b）から前記タイミング信号（P2）が出力されたときに、前記リセットセットフリップフロップ回路（54）から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を前記高低判別信号として出力する遅延型フリップフロップ回路（55）と、を備えたものであってもよい。

20 また、前記第1の判別部は、前記交流信号の信号レベルと前記第1の基準電圧（V2）とを比較し、前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたときは、その旨の第1の判別結果を出力する第1の比較器（82）を備え、

前記第2の判別部は、前記交流信号の信号レベルと前記第2の基準電圧（V1）とを比較し、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたときは、その旨の第2の判別結果を出力する第2の比較器（72）を備え、

前記記憶部は、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を越えたことを示す前記第1の比較器（82）の第1の判別結果に基づいてリセット信号（P1）を

生成して出力するリセット信号出力部（８３ａ）と、

前記リセット信号生成部（８３ａ）が生成したリセット信号（Ｐ１）に基づいてリセットされ、前記交流信号の信号レベルが前記第２の基準電圧（Ｖ１）を越えたことを示す前記第２の比較器（７２）の第２の判別結果に基づいてセットされるＱ信号を出力し、前記Ｑ信号のリセット、セット状態を、前記第１の判別結果、前記第２の判別結果として記憶するリセットセットフリップフロップ回路（８４）と、を備え、

前記判別信号出力部は、

前記第１の比較器（８２）が判別した前記第１の判別結果に基づいてタイミング信号（Ｐ２）を生成し、出力するタイミング信号出力部（８３ｂ）と、

前記タイミング信号出力部（８３ｂ）から前記タイミング信号（Ｐ２）が出力されたときに、前記リセットセットフリップフロップ回路（８４）から出力されたＱ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を出力する遅延型フリップフロップ回路（８５）と、

前記リセットセットフリップフロップ回路（８４）の出力信号と遅延型フリップフロップ回路（８５）との論理和演算を行い、論理和演算の結果を、高低判別信号として出力する論理和演算部（８６）と、を備えたものであってもよい。

また、前記第１の基準電圧（Ｖ２）を有する第１の電源と、前記第２の基準電圧（Ｖ１）を有する第２の電源と、を備え、

前記第１の電源は、前記交流信号の信号レベルが第１の基準電圧（Ｖ２）を小さい方から大きい方に越えたときに第１の基準電圧（Ｖ２）を低下させ、

前記第２の電源は、前記第２の基準電圧を小さい方から大きい方に越えたときに、前記第２の基準電圧を低下させるものであってもよい。

また、本発明の第２の観点に係る交流信号のレベル検出回路は、

前記交流信号の信号レベルが、零よりも大きい第１の基準電圧（Ｖ２）を小さい方から大きい方に越えたか否かを判別する第１の判別部（５２）と、

前記交流信号の信号レベルが、前記第１の基準電圧（Ｖ２）よりも大きい複数の第２の基準電圧（Ｖ１，Ｖ３）を越えたか否かを判別し、いずれか１つを第２の判別結果として出力する第２の判別部（４３）と、

前記第 1 の判別部 (5 2) の第 1 の判別結果と前記第 2 の判別部 (4 3) が出力した第 2 の判別結果とを記憶する記憶部 (5 3 a、5 4) と、

前記記憶部 (5 3 a、5 4) が記憶している判別結果を参照し、参照した判別結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果として
5 の高低判別信号を出力する判別信号出力部 (5 3 b、5 5) と、を備えたことを特徴とする。

前記第 1 の基準電圧 (V_2) を有する第 1 の電源と、前記第 2 の基準電圧 (V_1) を有する第 2 の電源と、を備え、

前記第 1 の電源は、前記交流信号の信号レベルが第 1 の基準電圧 (V_2) を小さい方から大きい方に越えたときに第 1 の基準電圧 (V_2) を低下させ、
10

前記第 2 の電源は、前記第 2 の基準電圧を小さい方から大きい方に越えたときに、前記第 2 の基準電圧 (V_1 , V_3) を低下させるものであってもよい。

。

15 図面の簡単な説明

図 1 は、本発明の第 1 の実施形態に係る交流電圧検出回路の構成例を示す図である。

図 2 は、図 1 中のタイミング信号発生回路の構成例を示す図である。

図 3 は、図 1 の交流電圧検出回路の動作を示すタイムチャートである。

20 図 4 は、本発明の第 2 の実施形態に係る交流電圧検出回路の構成例を示す図である。

図 5 は、図 4 中のタイミング信号発生回路の構成例を示す図である。

図 6 は、図 4 の交流電圧検出回路の動作を示すタイムチャートである。

図 7 は、本発明の第 3 の実施形態に係る交流電圧検出回路の構成例を示す図で
25 ある。

図 8 は、本発明の第 1 の実施形態に係る交流電圧検出回路の応用例を示す回路図である。

図 9 は、さらに図 8 に示す交流電圧検出回路の応用例を示す回路図である。

図 10 は、従来の交流電圧検出回路の回路図である。

発明を実施するための最良の形態

第1～第3の実施の形態では、交流信号を交流電圧に対応させて、交流信号のレベル検出回路を交流電圧検出回路として説明する。但し、交流信号を、交流電
5 圧に対応させるだけでなく、交流電流に対応させることもでき、この場合、交流信号のレベル検出回路を、交流電流検出回路として適用することもできる。

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係る交流電圧検出回路を示す構成図である。

- 10 この交流電圧検出回路30は、交流電源1が図示しない電源装置に供給している電源電圧を検出し、その電源電圧が100ボルト系か200ボルト系かを判別可能に示す判別信号を発生する回路である。

交流電圧検出回路30は、全波整流回路2に接続された分圧抵抗31、32と、内部レギュレータ33と、比較検出部40と、判別信号生成部50とを備えて
15 いる。

全波整流回路2は、交流電源1に接続され、電源装置に整流電圧を与える。抵抗31及び抵抗32は、全波整流回路2の正極とグランドとの間に直列に接続されている。抵抗31と抵抗32との接続点が、内部レギュレータ33中のPNP型トランジスタ33aのベースに接続されている。

- 20 トランジスタ33aのコレクタは、グランドに接続され、トランジスタ33aのエミッタは、定電流源33bを介して電源配線に接続されている。トランジスタ33aのエミッタは、さらに、NPN型トランジスタ33cのベースに接続されている。トランジスタ33cのコレクタが、電源配線に接続され、トランジスタ33cのエミッタが、定電流源33dを介してグランドに接続されている。
25 トランジスタ33cのエミッタは、内部レギュレータ33の出力端子である。このトランジスタ33cのエミッタに、比較検出部40と判別信号生成部50とが接続されている。

比較検出部40は、基準電圧V1を発生する電源41と、比較器42とを備えている。電源41は比較器42の一方の入力端子(－)と接続されている。基準

電圧 V 1 は、交流電源 1 が供給する電源電圧が 1 0 0 ボルト系か 2 0 0 ボルト系かを検出するための電圧であり、例えば検出点を A C 1 6 0 [V] 程度となるように設定してもよい。トランジスタ 3 3 c のエミッタが、比較器 4 2 の他方の入力端子 (+) に接続されている。

- 5 判別信号生成部 5 0 は、基準電圧を発生する電源 5 1 と、比較器 5 2 と、タイミング信号発生回路 5 3 と、サイクル判定回路としてのリセットセットフリップフロップ (以下、R S - F F という) 5 4 と、信号生成回路としての遅延型フリップフロップ (以下、D - F F という) 5 5 とを、備えている。

比較器 5 2 の一方の入力端子 (+) は、トランジスタ 3 3 c のエミッタと接続
10 され、比較器 5 2 の他方の入力端子 (-) は、電源 5 1 と接続されている。比較器 5 2 の出力端子が、タイミング信号発生回路 5 3 に接続されている。

タイミング信号発生回路 5 3 は、例えば図 2 のように構成される。

図 2 は、タイミング信号発生回路 5 3 の構成例を示す図である。

タイミング信号発生回路 5 3 は、比較器 5 2 の出力信号の立ち上がりを検出し
15 てワンショットのパルスが発生するワンショットパルス発生回路 5 3 a と、比較器 5 2 の出力信号の立ち下がりを検出してワンショットのパルスが発生するワンショットパルス発生回路 5 3 b とで構成されている。

ワンショットパルス発生回路 5 3 a は、比較器 5 2 の出力端子が一方の入力端子に接続された A N D 回路 5 3 c と、A N D 回路 5 3 c の他方の入力端子と比較
20 器 5 2 の出力端子との間に直列に接続された奇数個のインバータ 5 3 d とで構成されている。

ワンショットパルス発生回路 5 3 b は、比較器 5 2 の出力端子がインバータ 5
3 e を介して一方の入力端子に接続された A N D 回路 5 3 f と、インバータ 5 3 e の出力端子と A N D 回路 5 3 f の他方の入力端子との間に直列に接続された奇
25 数個のインバータ 5 3 g とで構成されている。

ワンショットパルス発生回路 5 3 a の A N D 回路 5 3 c の出力端子が、サイクル判定回路である R S - F F 5 4 のリセット端子 (R) に接続されている。

R S - F F 5 4 のセット端子 (S) には、比較器 4 2 の出力端子が接続されている。R S - F F 5 4 の出力端子 (Q) は、信号生成回路である D - F F 5 5 の

データ入力端子 (D) に接続されている。

ワンショットパルス発生回路 5 3 b の AND 回路 5 3 f の出力端子が、D - F F 5 5 のクロック端子 (C) に接続されている。D - F F 5 5 の出力端子 (Q) が交流電圧検出回路 3 0 の出力端子になっている。

- 5 次に、交流電圧検出回路 3 0 の動作を、図 3 (a) ~ (g) を参照して説明する。

図 3 (a) ~ (g) は、交流電圧検出回路 3 0 の動作を説明するためのタイムチャートである。

全波整流回路 2 は、交流電源 1 が発生する交流電圧を全波整流して整流電圧を
10 発生する。この整流電圧が図示しない電源装置等へ供給される。抵抗 3 1, 3 2 は、整流電圧を分圧し、内部レギュレータ 3 3 は、図 3 (a) のように、抵抗 3 1, 3 2 によって分圧された整流電圧の波形整形を行う。

比較検出部 4 0 中の比較器 4 2 は、電源 4 1 が発生する基準電圧 V 1 と内部レギュレータ 3 3 が出力する整流電圧とを比較し、その整流電圧の瞬時値が基準電
15 圧 V 1 を越えたときに高レベル (以下、“H” という) を出力する。これにより、図 3 (b) のように、全波整流回路 2 が発生する整流電圧の瞬時値が基準電圧 V 1 に相当する電圧を超えた期間が検出される。交流電源 1 が 2 0 0 ボルト系の電源電圧を電源装置に供給しているときには、比較器 4 2 の出力信号が“H”になる。交流電源 1 が 1 0 0 ボルト系の電源電圧を電源装置に供給しているときに
20 は、比較器 4 2 の出力信号が“L”のままである。比較器 4 2 の出力信号が“H”になると、R S - F F 5 4 がセットされ、図 3 (f) のように、R S - F F 5 4 が“H”を出力する。

一方、比較器 5 2 は、内部レギュレータ 3 3 の出力する整流電圧と電源 5 1 が発生する基準電圧 V 2 とを比較し、内部レギュレータ 3 3 の出力電圧が基準電圧
25 V 2 を越えたときに“H”を出力する。これにより、図 3 (c) のように、全波整流回路 2 の出力する整流電圧が基準電圧 V 2 に相当する電圧を超えた期間が、検出される。

タイミング信号発生回路 5 3 中のワンショットパルス発生回路 5 3 a は、図 3 (d) のように、比較器 5 2 の出力信号が“H”に立ち上がるタイミングにワン

ショットのパルスP1を発生する。また、ワンショットパルス発生回路53bは、図3(e)のように、比較器52の出力信号が“L”に立ち下がるタイミングでワンショットのパルスP2を発生する。

ワンショットパルス発生回路53aがパルスP1を発生すると、RS-FF54がリセットされ、RS-FF54が“L”を出力する。従って、全波整流回路2が出力する整流電圧のサイクルのうちで、整流電圧の瞬時値が基準電圧V1を越えたサイクルが検出され、そのサイクルが検出されたときにRS-FF54の出力信号が“H”になる。

ワンショットパルス発生回路53bの出力するパルスP2は、D-FF55の10 クロック端子(C)に与えられる。D-FF55は、ワンショットパルス発生回路53bの出力するパルスP2の立ち下がりに同期して、RS-FF54の出力信号をラッチし、出力端子(Q)から出力する。このように、ワンショットパルス発生回路53bが発生するパルスに同期して、D-FF55がRS-FF54の出力信号をラッチすることにより、整流電圧の瞬時値が基準電圧V1を越えた15 整流電圧のサイクルが連続すれば、その間は、図3(g)のように、D-FF55が“H”を連続して出力する。つまり、D-FF55の出力信号は、交流電源1が200ボルト系の電源電圧を供給していることを示す判別信号になり、図示しない電源装置に与えられる。電源装置は、D-FF55から与えられた判別信号に基づいた制御を行う。

20 以上のように、本実施形態の電圧検出回路30では、次のような利点を有する。

(1) 交流電圧を整流した整流電圧と基準電圧V1とを比較器42で比較し、整流電圧の瞬時値が基準電圧V1を越えた期間を検出し、その検出結果に基づき交流電源1が供給する電源電圧を判別するので、従来のように、交流電圧が整25 流電圧のピーク値を検出するためのコンデンサが不要になる。そのため、交流電圧検出回路の小型化と低コスト化が実現できる。従って、交流電圧検出回路を組み込んだ各種電子回路の低コスト化と小型化とが可能になる。特に、集積回路化が可能になる利点がある。

(2) タイミング信号発生回路53で整流電圧の周波数に同期したパルスP

1, P 2 を発生させ、これらのパルス P 1, P 2 を用いて、RS-F F 5 4 に整流電圧の瞬時値が基準電圧 V 1 を越えたサイクルを検出させ、D-F F 5 5 に判別信号を発生させる。そのため、整流電圧のように脈動する電圧からでも、200 ボルト系の電源電圧が与えられていることを安定して示す判別信号を生成できる。さらに、交流電圧 1 の周波数が変化しても、電源電圧を検出することができる。

[第 2 の実施形態]

図 4 は、本発明の第 2 の実施形態に係る交流電圧検出回路の構成例を示す図である。

10 この交流電圧検出回路 3 0 A は、全波整流回路 2 に接続された分圧抵抗 6 1, 6 2 と、内部レギュレータ 6 3 と、比較検出部 7 0 と、判別信号生成部 8 0 とを備えている。

抵抗 6 1 及び抵抗 6 2 は、第 1 の実施形態の抵抗 3 1, 3 2 に相当するものであり、全波整流回路 2 の正極とグランドとの間に直列に接続されている。内部レ
15 ギュレータ 6 3 は、第 1 の実施形態の内部レギュレータ 3 3 に相当し、抵抗 6 1 と抵抗 6 2 との接続点が、内部レギュレータ 6 3 中の PNP 型トランジスタ 6 3 a のベースに接続されている。

トランジスタ 6 3 a のコレクタは、グランドに接続され、トランジスタ 6 3 a のエミッタは、定電流源 6 3 b を介して電源配線に接続されている。トランジ
20 スタ 6 3 a のエミッタは、さらに、NPN 型トランジスタ 6 3 c のベースと接続されている。トランジスタ 6 3 c のコレクタが電源配線に接続され、トランジスタ 6 3 c のエミッタが、定電流源 6 3 d を介してグランドに接続されている。トランジスタ 6 3 c のエミッタが、内部レギュレータ 6 3 の出力端子である。このトランジスタ 6 3 c のエミッタに、比較検出部 7 0 及び判別信号生成部 8 0 が接続
25 されている。

比較検出部 7 0 は、第 1 の実施形態の比較検出部 4 0 と同様であり、基準電圧 V 1 を発生する電源 7 1 と、比較器 7 2 とを備えている。電源 7 1 は、比較器 7 2 の一方の入力端子 (-) と接続されている。トランジスタ 6 3 c のエミッタが、比較器 7 2 の他方の入力端子 (+) に接続されている。

判別信号生成部 80 は、基準電圧 V2 を発生する電源 81 と、比較器 82 と、タイミング信号発生部 83 と、RS-FF 84 と、D-FF 85 とを備えるとともに、2入力OR回路 86 をさらに備えている。

電源 81、比較器 82、タイミング信号発生部 83、RS-FF 84 及び D-FF 85 とは、第 1 の実施形態の電源 51、比較器 52、タイミング信号発生回路 53、RS-FF 54 及び D-FF 55 と同様のもので、同様に接続されている。

OR回路 86 の一方の入力端子は、RS-FF 84 の出力端子 (Q) に接続されている。OR回路 86 の他方の入力端子は、D-FF 85 の出力端子 (Q) に接続され、OR回路 86 の出力端子が、判別信号生成部 80 の出力端子になっている。

タイミング信号発生回路 83 は、図 1 に示すタイミング信号発生回路 53 と同様のものであり、図 5 のように構成される。

タイミング信号発生回路 83 は、比較器 82 の出力信号の立ち上がりを検出してワンショットのパルスが発生するワンショットパルス発生回路 83a と、比較器 82 の出力信号の立ち下がりを検出してワンショットのパルスが発生するワンショットパルス発生回路 83b とで構成されている。

ワンショットパルス発生回路 83a は、比較器 82 の出力端子が一方の入力端子に接続されたAND回路 83c と、AND回路 83c の他方の入力端子と比較器 82 の出力端子との間に直列に接続された奇数個のインバータ 83d とで構成されている。

ワンショットパルス発生回路 83b は、比較器 82 の出力端子がインバータ 83e を介して一方の入力端子に接続されたAND回路 83f と、インバータ 83e の出力端子とAND回路 83f の他方の入力端子との間に直列に接続された奇数個のインバータ 83g とで構成されている。

ワンショットパルス発生回路 83a のAND回路 83c の出力端子が、RS-FF 84 のリセット端子 (R) に接続されている。

ワンショットパルス発生回路 83b のAND回路 83f の出力端子が、D-FF 85 のクロック端子 (C) に接続されている。

次に、交流電圧検出回路 30A の動作を、図 6 (a) ~ (h) を参照しつつ、説明する。

図 6 (a) ~ (h) は、交流電圧検出回路 30A の動作を説明するためのタイムチャートである。

- 5 全波整流回路 2 は、交流電源 1 が発生する交流電圧を全波整流して整流電圧を発生する。抵抗 61, 62 は、整流電圧を分圧する。内部レギュレータ 63 は、図 6 (a) のように、抵抗 61, 62 によって分圧された整流電圧の波形整形を行う。

- 比較検出部 70 中の比較器 72 は、電源 71 が発生する基準電圧 V_1 と内部レ
10 ギュレータ 63 が出力する整流電圧とを比較し、その整流電圧の瞬時値が基準電圧 V_1 を越えたときに “H” を出力する。これにより、図 6 (b) のように、全波整流回路 2 が発生する整流電圧の瞬時値が基準電圧 V_1 に相当する電圧を超えた期間が検出される。交流電源 1 が 200 ボルト系の電源電圧を電源装置に供給しているときには、比較器 72 の出力信号が “H” になる。交流電源 1 が 100
15 ボルト系の電源電圧を電源装置に供給しているときには、比較器 72 の出力信号が “L” のままである。比較器 72 の出力信号が “H” になると、RS-FF 84 がセットされ、図 6 (f) のように、RS-FF 84 が “H” を出力する。

- 一方、比較器 82 は、内部レギュレータ 63 の出力する整流電圧と電源 81 が発生する基準電圧 V_2 とを比較し、内部レギュレータ 63 の出力電圧が基準電圧
20 V_2 を越えているときに、図 6 (c) のように、“H” を出力する。

タイミング信号発生回路 83 は、図 6 (d) のように、比較器 82 の出力信号が “H” に立ち上がるタイミングにワンショットのパルス P1 を発生するとともに、図 6 (e) のように、比較器 82 の出力信号が “L” に立ち下がるタイミングでワンショットのパルス P2 を発生する。

- 25 ここで、ノイズ除去用コンデンサを全波整流回路 2 の正極とグラウンド間に入れることにより、交流電源 1 の供給する電源電圧が 200 ボルト系のときに、内部レギュレータ 63 が出力する整流電圧が、図 6 (a) のように基準電圧 V_2 よりも低くならない場合が考えられる。このようなときには、比較器 82 の出力信号が “H” に固定されるので、パルス P2 が発生されず、RS-FF 84 の出力信

号が“H”に固定される。RS-FF84の出力信号が“H”に固定されている期間には、OR回路86の出力信号は、“H”になり、交流電源1の供給する電源電圧が200ボルト系であることを示す。

交流電源1の供給する電源電圧が100ボルト系に変化し、整流電圧の瞬時値
5 が基準電圧V2に対応する電圧よりも低くなると、比較器82の出力信号が“L”に遷移する。タイミング信号発生回路83は、図6(e)のように、比較器82の出力信号が“L”に遷移するごとに、パルスP2を発生する。一方、電源電圧が100ボルト系になると、比較器72の出力信号は“L”に固定される。よって、RS-FF84がセットされず、RS-FF84の出力信号が“L”にな
10 る。パルスP2が立ち下がるタイミングでRS-FF84の出力信号の“L”をラッチするD-FF85の出力信号が“L”になる。このときOR回路86の出力信号が“L”に遷移する。即ち、交流電源1が供給する電源電圧が、200ボルト系から100ボルト系に変化したことが示される。

以上のように、本実施形態の交流電圧検出回路30Aでは、第1の実施形態と
15 同様に、整流電圧のピーク値を検出するためのコンデンサが不要で、交流電圧検出回路30Aの小型化と低コスト化が実現できるばかりでなく、OR回路86を設けたので、交流電源1の供給する電源電圧が200ボルト系で、整流電圧が基準電圧V2に対応する電圧よりも低くならない場合にも、200ボルト系の電源電圧が供給されていることを判別信号で示すことができる。

20 [第3の実施形態]

図7は、本発明の第3の実施形態に係る交流電圧検出回路の構成例を示す図で
り、第2の実施形態の図4中の要素と共通する要素には、共通の符号が付されて
いる。

この交流電圧検出回路30Bは、第2の実施形態の交流電圧検出回路の比較検
25 出部70及び判別信号生成部80を、図7の比較検出部90及び判別信号生成部100に置換したものである。他の構成は、第2の実施形態と同様である。

比較検出部90は、電源91と、比較器72とを備えている。電源91は、内部レギュレータ63が発生する整流電圧が上昇し、比較器72の出力が“L”から“H”に変化したとき、基準電圧V1より低い基準電圧を発生する。また、電

源 9 1 は、内部レギュレータ 6 3 が発生する整流電圧が下降し、比較器 7 2 の出力が “H” から “L” に変化したとき、電圧 V 1 より低かった基準電圧を元の基準電圧 V 1 に変化させる。この電源 9 1 が発生する基準電圧は、200 ボルト系の電源電圧が与えられていることを検出するための電圧として用いられる。比較器 7 2 は、第 2 の実施形態の比較検出部 7 0 中の比較器 7 2 と同じものであり、比較器 7 2 の一方の入力端子 (+) は、内部レギュレータ 6 3 の出力端子に接続されている。比較器 7 2 の他方の入力端子 (-) と電源 9 1 とが接続されている。

判別信号生成部 1 0 0 は、第 2 の実施形態の判別信号生成部 8 0 中の電源 8 1 を電源 1 0 1 に変更したものであり、他の構成は、判別信号生成部 8 0 と同様である。電源 1 0 1 は、内部レギュレータ 6 3 が発生する整流電圧が上昇し、比較器 8 2 の出力が “L” から “H” に変化したとき、基準電圧 V 2 より低い基準電圧を発生する。また、電源 1 0 1 は、内部レギュレータ 6 3 が発生する整流電圧が下降し、比較器 8 2 の出力が “H” から “L” に変化したとき、電圧 V 2 より低かった基準電圧を元の基準電圧 V 2 に変化させる。電源 1 0 1 が、比較器 8 2 の入力端子 (-) に接続されている。

この交流電圧検出回路では、電源 9 1 及び電源 1 0 1 が、整流電圧の上昇するときと下降するときとで異なる基準電圧を発生し、比較器 7 2 及び比較器 8 2 が、その基準電圧と整流電圧とを比較する。よって、比較器 7 2, 8 2 の出力信号が “L” から “H” に遷移する際の基準電圧と、“H” から “L” に遷移する基準電圧との間にヒステリシスが持たされることになる。そのため、内部レギュレータ 6 3 が発生する整流電圧がノイズによって変動したときにでも、一度 “H” に遷移した比較器 7 2, 8 2 の出力信号が再び “L” になることが防止され、電源電圧の検出精度が向上する。

他の動作は、第 2 の実施形態と同様であり、200 ボルト系の電源電圧が交流電源 1 から供給されているときには、“H” の判別信号を電源装置に与え、100 ボルト系の電源電圧が供給されているときには、“L” の判別信号を電源装置に与える。

以上のような本実施形態の交流電圧検出回路 3 0 B では、電源 9 1, 1 0 1 を

設け、比較器 7 2, 8 2 に与える基準電圧を、内部レギュレータ 6 3 で発生する整流電圧が上昇するときと下降するときに変化させている。そのため、ノイズに強い交流電圧検出回路を構成することができる。

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。その変
5 形例としては、次のようなものがある。

(1) 第 1 ~ 3 の実施形態では、内部レギュレータ 3 3, 6 3 を備えているが、内部レギュレータ 3 3, 6 3 は、省略可能であり、全波整流回路 2 で発生する整流電圧を分圧抵抗 3 1, 3 2, 6 1, 6 2 を介して、比較器 4 2, 5 2, 7 2, 8 2 に入力してもよい。

10 (2) 第 1 ~ 3 の実施形態では、100 ボルト系の電源電圧と 200 ボルト系の 2 系統の電源電圧を判別する構成例を示した。しかし、これに限らず、図 8 に示すように比較検出部 4 3 中に 2 つの比較器 4 5, 4 7 と、切換器 4 8 と、を備えることもできる。

電源 4 4 は比較器 4 5 の一方の入力端子 (−) と接続されている。基準電圧 V
15 1 は、第 1 の実施の形態と同様に、交流電源 1 が供給する電源電圧が 100 ボルト系か 200 ボルト系かを検出するための電圧であり、例えば検出点を AC 160 [V] 程度となるように設定する。

電源 4 6 は比較器 4 7 の一方の入力端子 (−) と接続されている。基準電圧 V
3 は、交流電源 1 が供給する電源電圧が例えば、300 ボルト系か否かを検出
20 するための電圧であり、例えば検出点を AC 260 [V] 程度となるように設定してもよい。トランジスタ 3 3 c のエミッタは、比較器 4 5, 4 7 の他方の入力端子 (+) に接続されている。

また、切換器 4 8 は、比較器 4 5, 4 7 のいずれか一方の出力信号を選択出力する。

25 このように構成されることにより、1 つの基準電圧 V 1 ばかりでなく、複数の基準電圧 V 1, V 3 と整流電圧とを比較させ、その結果から判別信号を生成する構成にすれば、3 系統の電源電圧を判別できる。さらに、比較器を増やせば、4 系統以上の電源電圧を判別できる。

(3) また、図 8 に示す電圧検出回路についても、図 9 に示すように、比較

検出部 43 が、図 7 に示す電源 91 と同じように動作する電源 92, 93 を備え、判別信号生成部 50 も、図 7 に示す電源 101 と同じように動作する電源 102 を備えるようにすることもできる。

そして、電源 92, 93, 102 が比較器 45, 47, 52 に与える基準電圧 V_1 , V_2 , V_3 を整流電圧の上昇するときと下降するときとで異ならせることにより、ヒステリシスを持たせることもできる。

(4) 第 3 の実施形態では、比較器 72, 82 に与える基準電圧を整流電圧の上昇するときと下降するときとで異ならせることにより、ヒステリシスを持たせているが、基準電圧を固定化しておき、整流電圧が基準電圧を横切ったときに、比較器 72, 82 に入力される整流電圧を変化させてもよい。このようにしても、第 3 の実施形態と同様にヒステリシスを持たせることができる。

(5) 第 1 ～ 第 3 の実施形態では、整流電圧を正方向の電圧として、交流信号と対応させて説明した。しかし、これに限られるものではなく、整流電圧を負の方向の電圧であっても、本実施の形態を適用することができる。この場合、この整流電圧を反転させた交流信号を生成し、この交流信号の信号レベルの高低を判別すればよい。

本発明は、2002 年 3 月 6 日に出願された特願 2002-60059 に基づき、本明細書中にその明細書、特許請求の範囲、図面全体を参考として取り込むものとする。

産業上の利用の可能性

本発明は、電圧検出回路を使用する産業分野に利用可能である。

請求の範囲

1. 交流信号の信号レベルが、零よりも大きい第1の基準電圧（V2）を小さい方から大きい方に越えたか否かを判別する第1の判別部（52, 82）と、
- 5 前記交流信号の信号レベルが、前記第1の基準電圧（V2）よりも大きい第2の基準電圧（V1）を越えたか否かを判別する第2の判別部（40, 70, 90）と、
前記第1の判別部（52, 82）の第1の判別結果と前記第2の判別部（40, 70, 90）の第2の判別結果とを記憶する記憶部（53, 54, 83, 84
10）と、
前記記憶部（53, 54, 83, 84）が記憶している判別結果を参照し、参照した判別結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果としての高低判別信号を出力する判別信号出力部（53b, 55, 85, 86）と、を備えた、
- 15 ことを特徴とする交流信号のレベル検出回路。
2. 前記判別信号出力部（53b, 55, 85, 86）は、
前記記憶部（53, 54, 83, 84）が記憶している前記第1の判別部（52, 82）の第1の判別結果と前記第2の判別部（40, 70, 90）の判別結果とを参照し、
- 20 前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す第2の判別結果とを、前記記憶部（53, 54, 83, 84）が記憶しているとき、前記交流信号の信号レベルが高いことを示す高低判別信号を出力し、
- 25 前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記第2の基準電圧（V1）以下であることを示す第2の判別結果とを、前記記憶部（53, 54, 83, 84）が記憶しているとき、前記交流信号の信号レベルが低いことを示す高低判別信号を出力する、

ことを特徴とする請求項 1 に記載の交流信号のレベル検出回路。

3. 前記判別信号出力部 (53b, 55) は、

記憶部 (53, 54) が記憶している前記第 1 の判別結果と前記第 2 の判別結果とを、前記交流信号の信号レベルが前記第 1 の基準電圧 (V_2) を大きい方から小さい方に越えたときに参照して、前記高低判別信号を出力する、

ことを特徴とする請求項 2 に記載の交流信号のレベル検出回路。

4. 前記判別信号出力部 (83b, 85, 86) は、

記憶部 (83, 84) が記憶している前記第 1 の判別結果と前記第 2 の判別結果とを、前記交流信号の信号レベルが前記第 2 の基準電圧 (V_1) を越えたときと前記第 1 の基準電圧 (V_2) を大きい方から小さい方に越えたときに参照して、前記高低判別信号として出力する、

ことを特徴とする請求項 2 に記載の交流信号のレベル検出回路。

5. 前記第 1 の判別部は、前記交流信号の信号レベルと前記第 1 の基準電圧 (V_2) とを比較し、前記交流信号の信号レベルが前記第 1 の基準電圧 (V_2) を小さい方から大きい方に越えたときは、その旨の第 1 の判別結果を出力する第 1 の比較器 (52) を備え、

前記第 2 の判別部は、前記交流信号の信号レベルと前記第 2 の基準電圧 (V_1) とを比較し、前記交流信号の信号レベルが前記第 2 の基準電圧 (V_1) を越えたときは、その旨の第 2 の判別結果を出力する第 2 の比較器 (42) を備え、

20 前記記憶部は、

前記交流信号の信号レベルが前記第 2 の基準電圧 (V_1) を越えたことを示す前記第 1 の比較器 (52) の第 1 の判別結果に基づいてリセット信号 (P_1) を生成して出力するリセット信号出力部 (53a) と、

前記リセット信号生成部 (53a) が生成したリセット信号 (P_1) に基づいてリセットされ、前記交流信号の信号レベルが前記第 2 の基準電圧 (V_1) を越えたことを示す前記第 2 の比較器 (42) の第 2 の判別結果に基づいてセットされる Q 信号を出力し、前記 Q 信号のリセット、セット状態を、前記第 1 の判別結果、前記第 2 の判別結果として記憶するリセットセットフリップフロップ回路 (54) と、を備え、

前記判別信号出力部は、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す前記第1の比較器（52）の第1の判別結果に基づいてタイミング信号（P2）を生成し、出力するタイミング信号出力部（53b）と

5、

前記タイミング信号出力部（53b）から前記タイミング信号（P2）が出力されたときに、前記リセットセットフリップフロップ回路（54）から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を前記高低判別信号として出力する遅延型フリップフロップ回路（55）と、を備え

10 た、

ことを特徴とする請求項3に記載の交流信号のレベル検出回路。

6. 前記第1の判別部は、前記交流信号の信号レベルと前記第1の基準電圧（V2）とを比較し、前記交流信号の信号レベルが前記第1の基準電圧（V2）を小さい方から大きい方に越えたときは、その旨の第1の判別結果を出力する第1の比較器（82）を備え、

前記第2の判別部は、前記交流信号の信号レベルと前記第2の基準電圧（V1）とを比較し、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたときは、その旨の第2の判別結果を出力する第2の比較器（72）を備え、

前記記憶部は、

20 前記交流信号の信号レベルが前記第1の基準電圧（V2）を越えたことを示す前記第1の比較器（82）の第1の判別結果に基づいてリセット信号（P1）を生成して出力するリセット信号出力部（83a）と、

前記リセット信号生成部（83a）が生成したリセット信号（P1）に基づいてリセットされ、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す前記第2の比較器（72）の第2の判別結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第1の判別結果、前記第2の判別結果として記憶するリセットセットフリップフロップ回路（84）と、を備え、

前記判別信号出力部は、

前記第 1 の比較器 (8 2) が判別した前記第 1 の判別結果に基づいてタイミング信号 (P 2) を生成し、出力するタイミング信号出力部 (8 3 b) と、

前記タイミング信号出力部 (8 3 b) から前記タイミング信号 (P 2) が出力されたときに、前記リセットセットフリップフロップ回路 (8 4) から出力された Q 信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を出力する遅延型フリップフロップ回路 (8 5) と、

前記リセットセットフリップフロップ回路 (8 4) の出力信号と遅延型フリップフロップ回路 (8 5) との論理和演算を行い、論理和演算の結果を、高低判別信号として出力する論理和演算部 (8 6) と、を備えた、

10 ことを特徴とする請求項 4 に記載の交流信号のレベル検出回路。

7. 前記第 1 の基準電圧 (V 2) を有する第 1 の電源と、前記第 2 の基準電圧 (V 1) を有する第 2 の電源と、を備え、

前記第 1 の電源は、前記交流信号の信号レベルが第 1 の基準電圧 (V 2) を小さい方から大きい方に越えたときに第 1 の基準電圧 (V 2) を低下させ、

15 前記第 2 の電源は、前記第 2 の基準電圧を小さい方から大きい方に越えたときに、前記第 2 の基準電圧を低下させる、

ことを特徴とする請求項 6 に記載の交流信号のレベル検出回路。

8. 前記交流信号の信号レベルが、零よりも大きい第 1 の基準電圧 (V 2) を小さい方から大きい方に越えたか否かを判別する第 1 の判別部 (5 2) と、

20 前記交流信号の信号レベルが、前記第 1 の基準電圧 (V 2) よりも大きい複数の第 2 の基準電圧 (V 1, V 3) を越えたか否かを判別し、いずれか 1 つを第 2 の判別結果として出力する第 2 の判別部 (4 3) と、

前記第 1 の判別部 (5 2) の第 1 の判別結果と前記第 2 の判別部 (4 3) が出力した第 2 の判別結果とを記憶する記憶部 (5 3 a, 5 4) と、

25 前記記憶部 (5 3 a, 5 4) が記憶している判別結果を参照し、参照した判別結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果としての高低判別信号を出力する判別信号出力部 (5 3 b, 5 5) と、を備えた、

ことを特徴とする交流信号のレベル検出回路。

9. 前記第 1 の基準電圧 (V 2) を有する第 1 の電源と、前記第 2 の基準電圧 (

V 1) を有する第 2 の電源と、を備え、

前記第 1 の電源は、前記交流信号の信号レベルが第 1 の基準電圧 (V 2) を小さい方から大きい方に越えたときに第 1 の基準電圧 (V 2) を低下させ、

前記第 2 の電源は、前記第 2 の基準電圧を小さい方から大きい方に越えたとき
5 に、前記第 2 の基準電圧 (V 1, V 3) を低下させる、

ことを特徴とする請求項 8 に記載の交流信号のレベル検出回路。

1 / 10

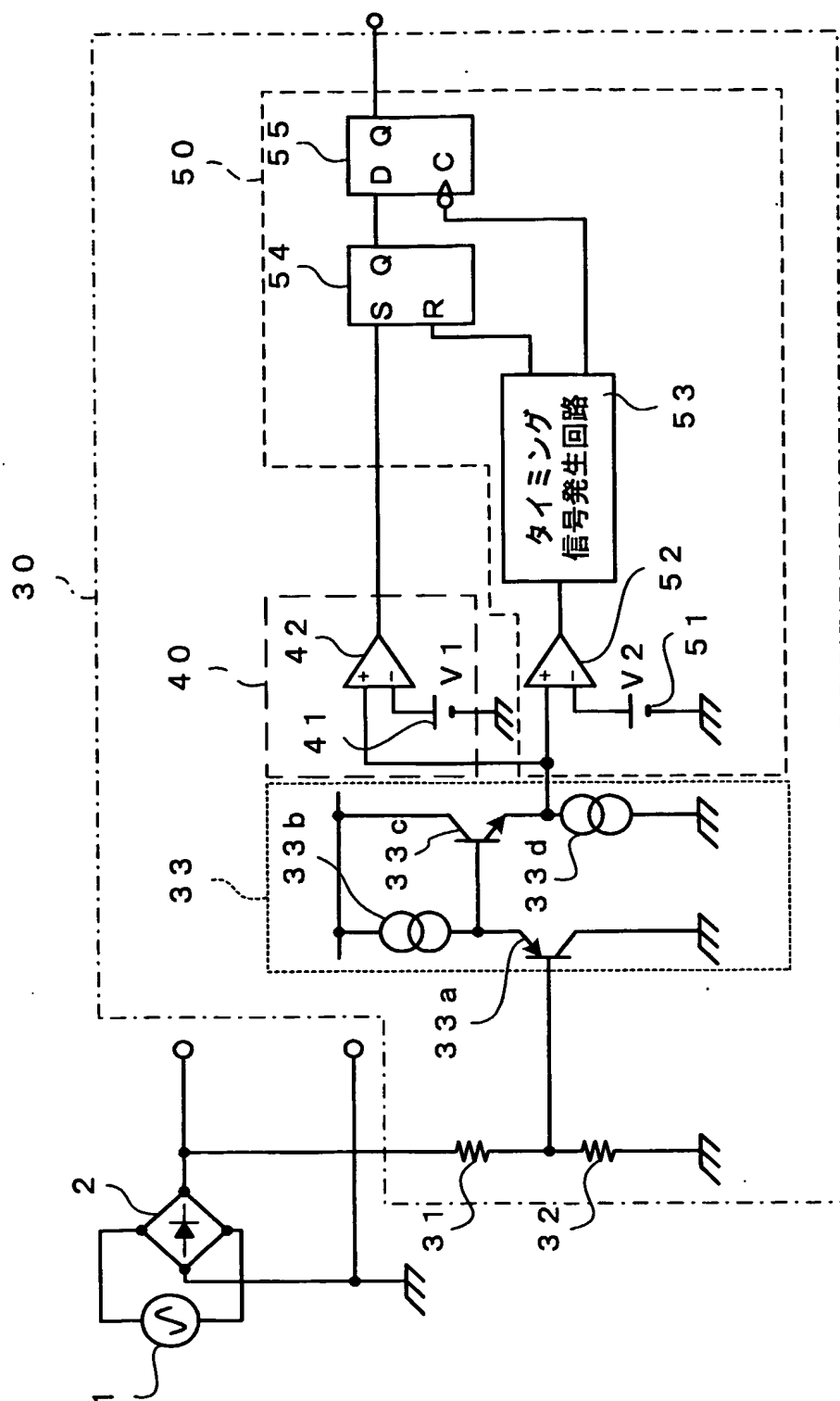


図 1

2 / 10

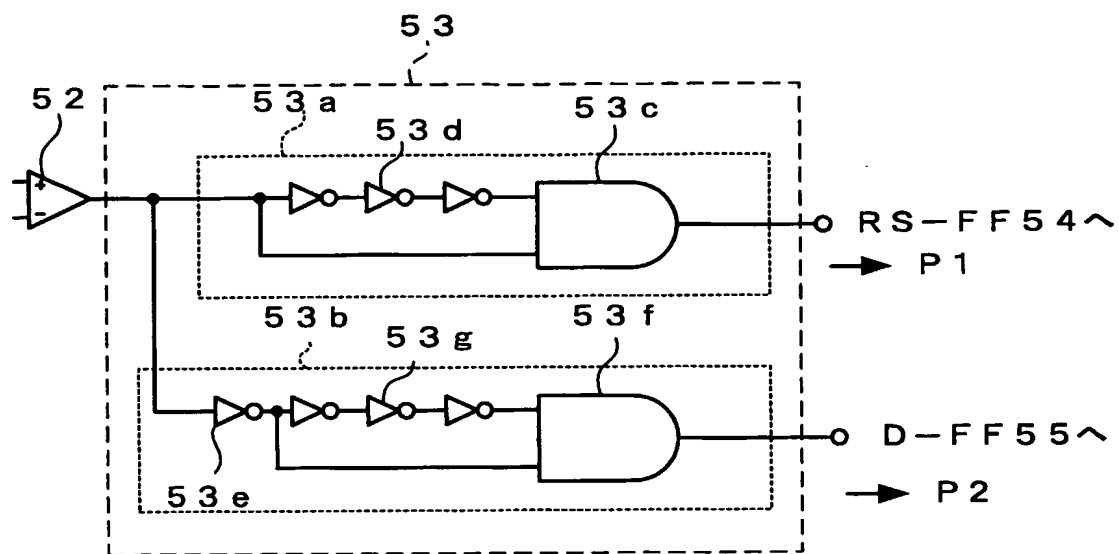


図 2

3 / 10

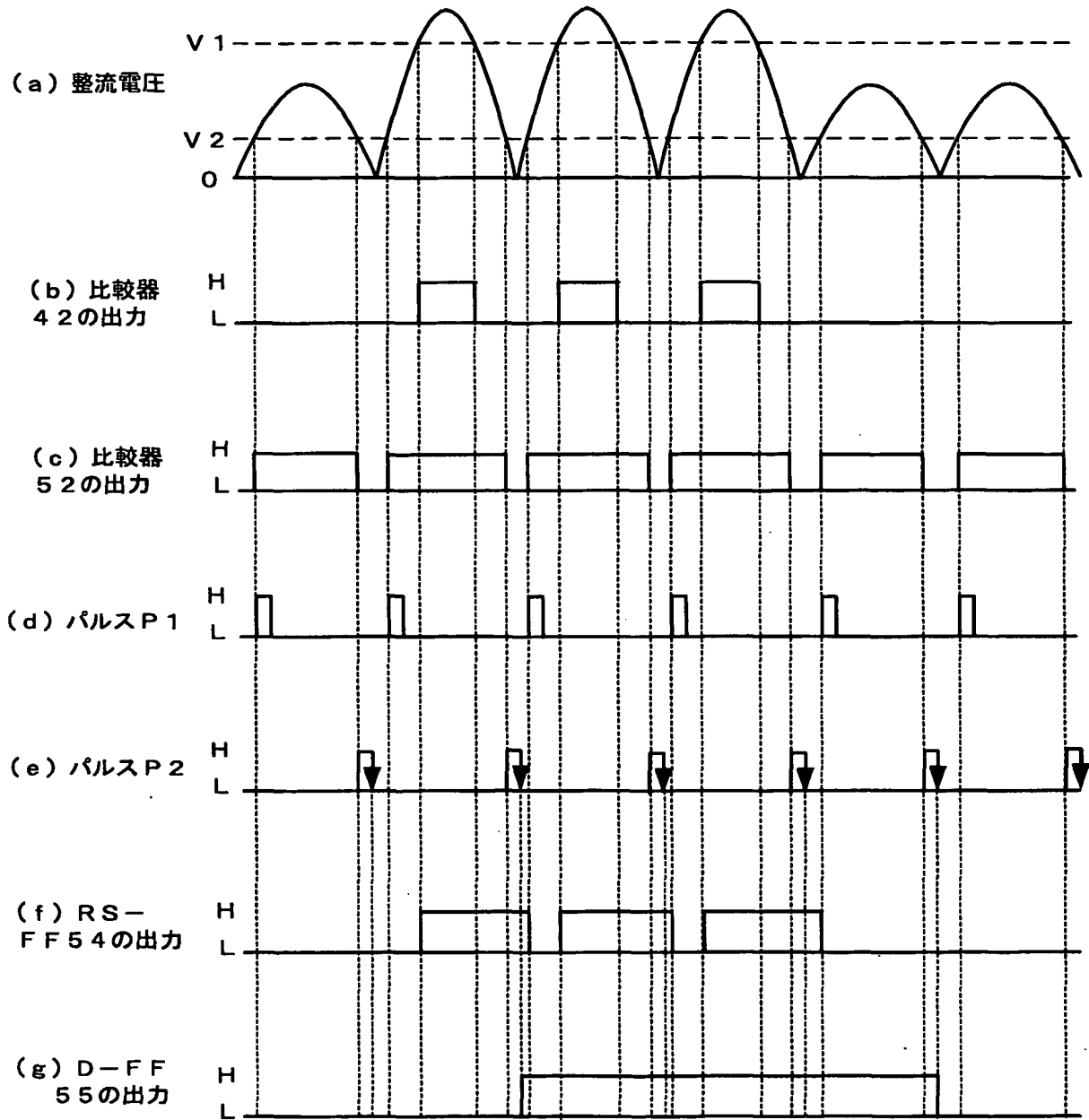


図 3

4 / 10

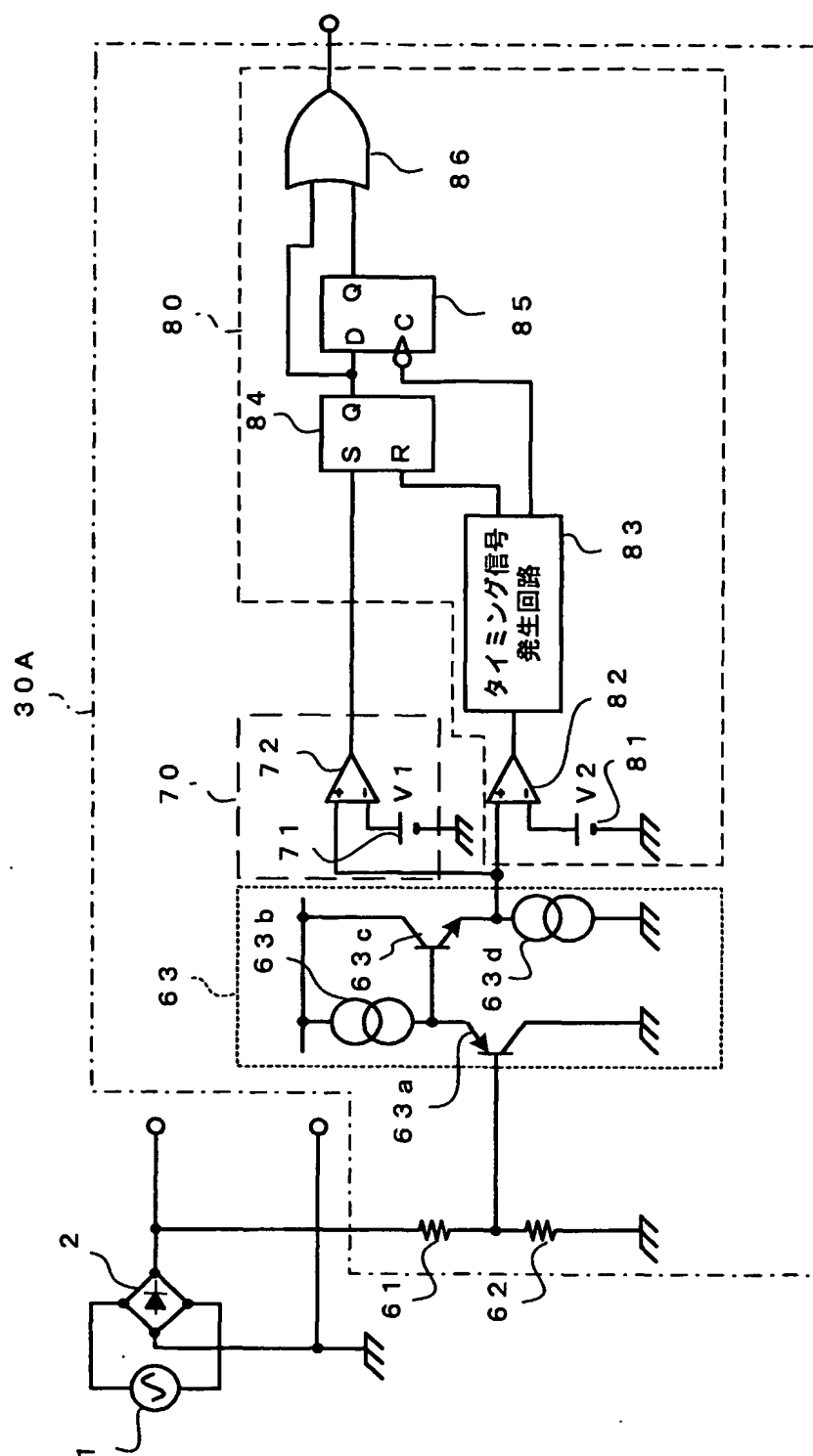


図 4

5 / 10

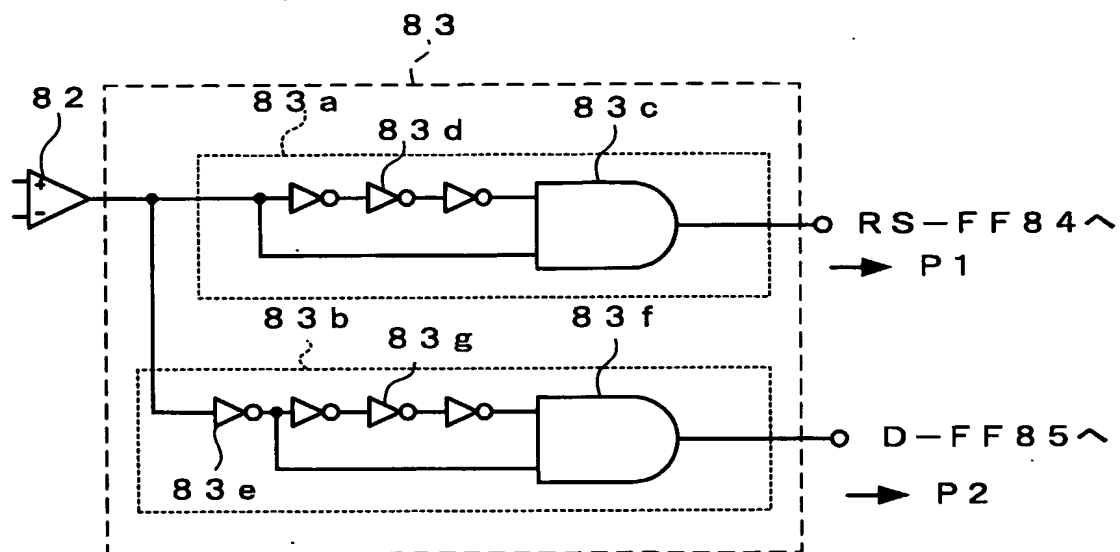


図 5

6 / 1 0

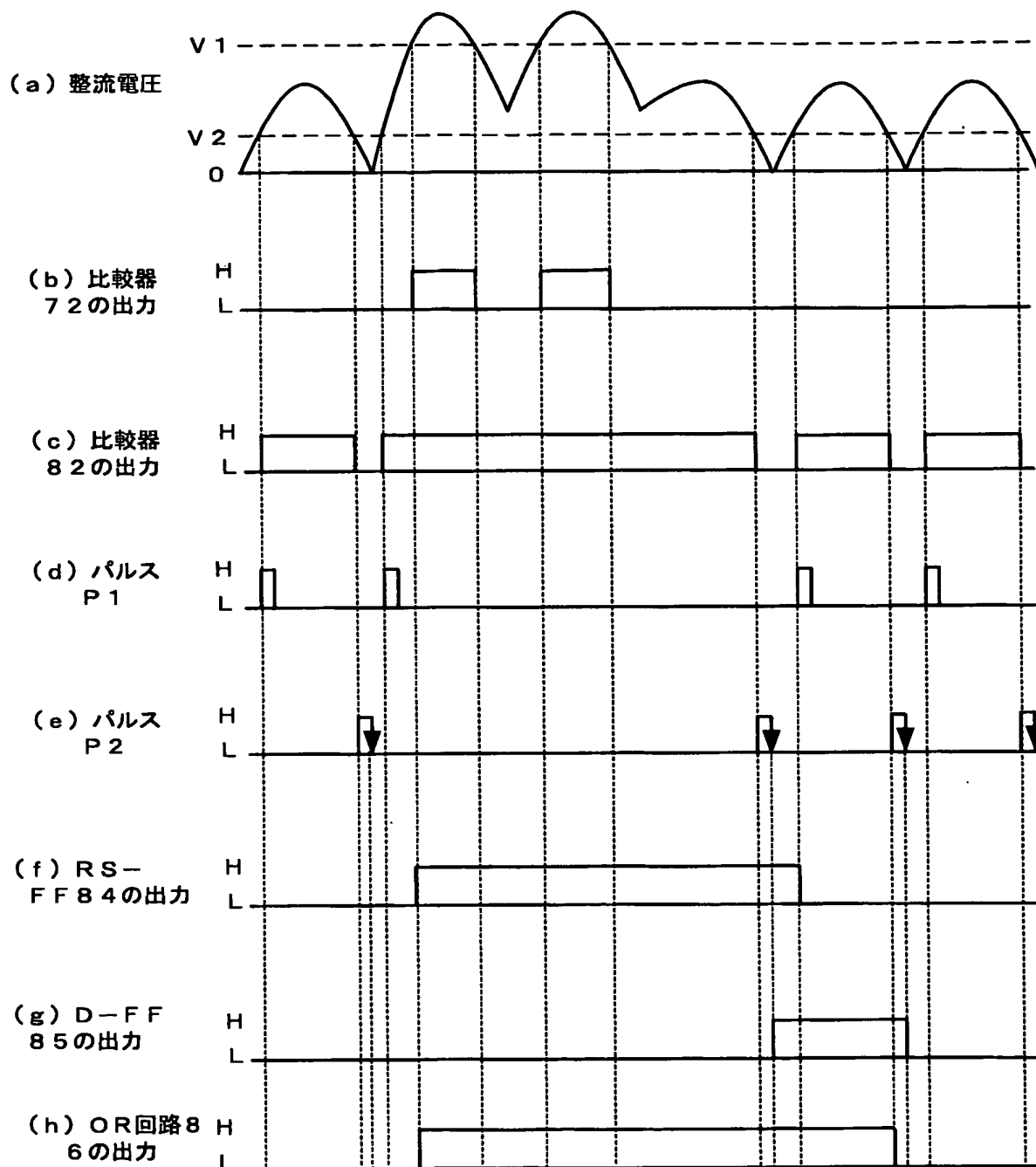


图 6

7 / 10

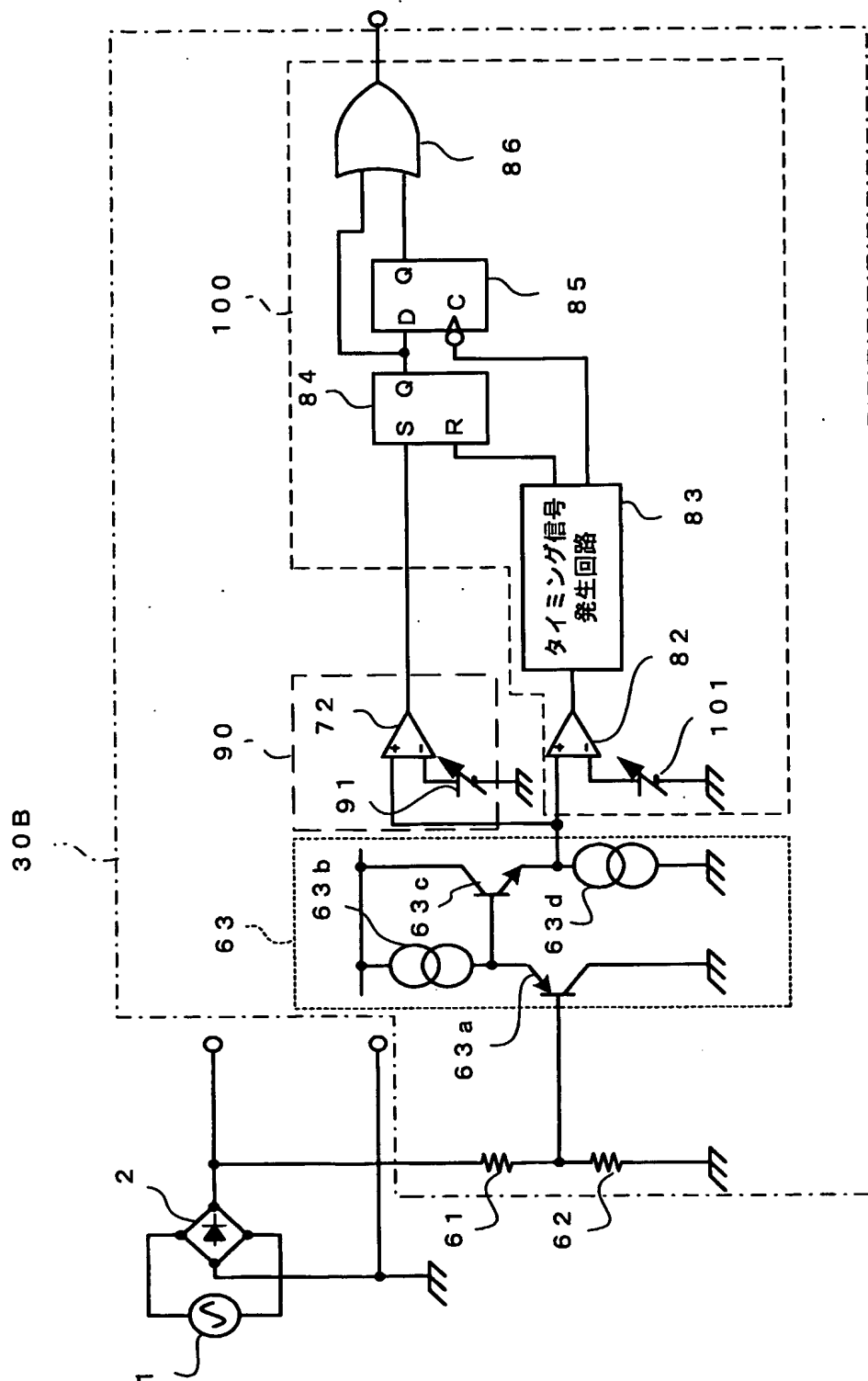


図 7

8 / 10

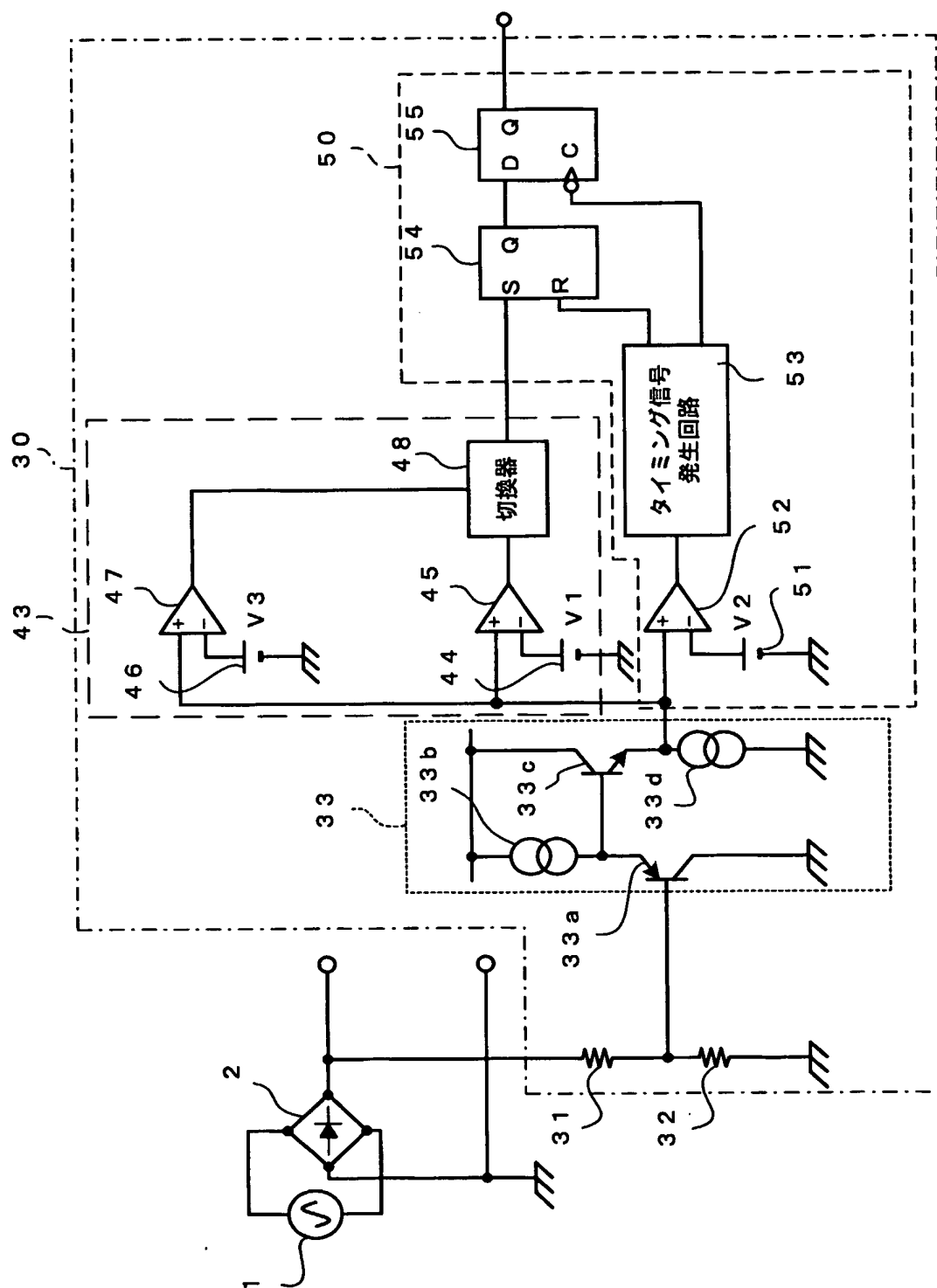


図 8

9 / 10

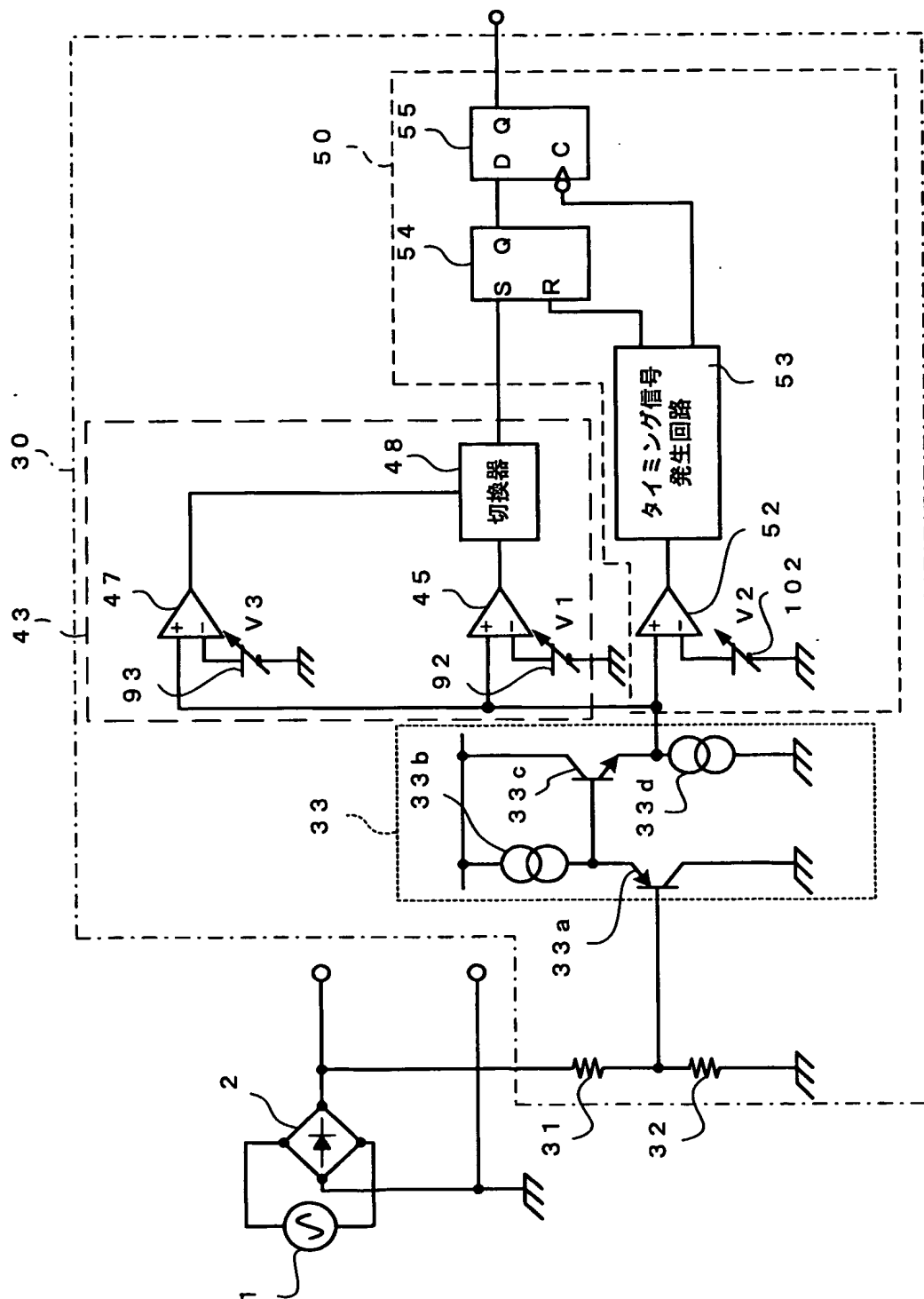


図 9

10/10

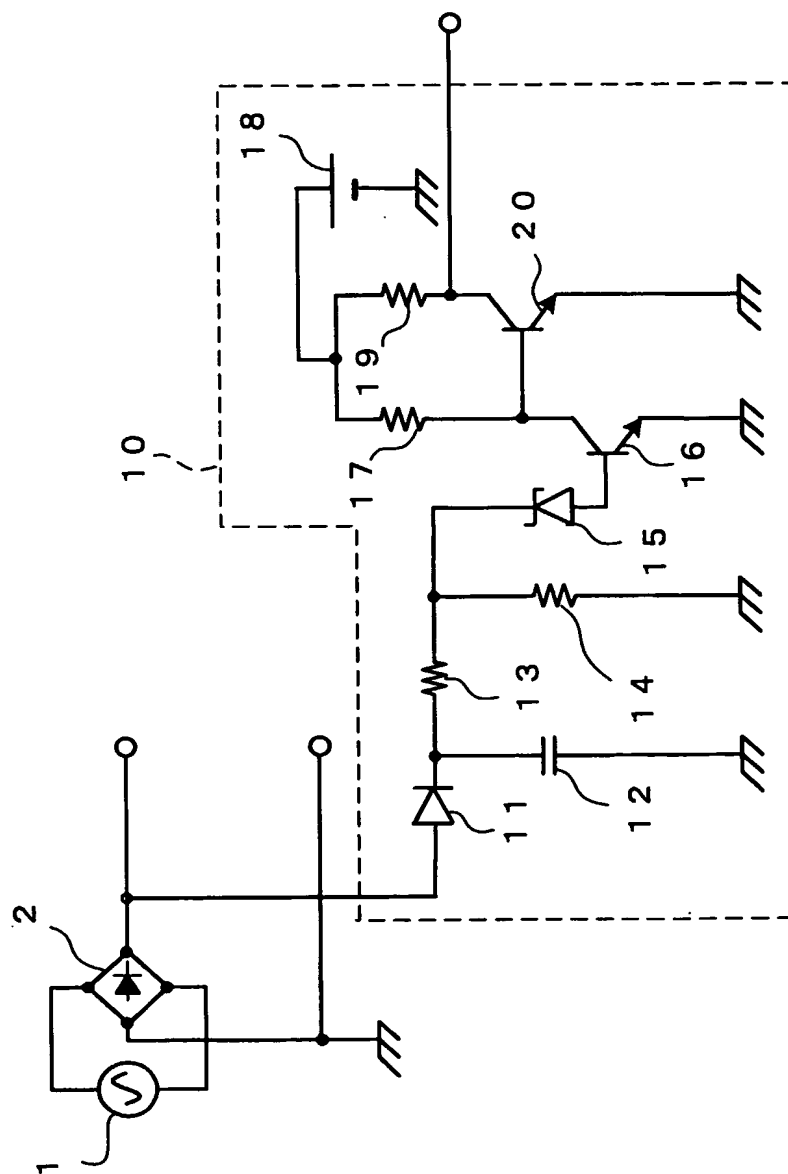


図 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/02651

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R19/165

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R19/165

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 50-122285 A (Mitsubishi Electric Corp.), 25 September, 1975 (25.09.75), Full text; all drawings (Family: none)	1-9
A	JP 53-17374 A (Tokyo Shibaura Electric Co., Ltd.), 17 February, 1978 (17.02.78), Full text; all drawings (Family: none)	1-9
A	JP 2-176473 A (NEC Corp.), 09 July, 1990 (09.07.90), Full text; all drawings (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2003 (15.04.03)

Date of mailing of the international search report
30 April, 2003 (30.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R19/165

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R19/165

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 50-122285 A (三菱電機株式会社) 1975. 09. 25, 全文, 全図 (ファミリー無し)	1-9
A	J P 53-17374 A (東京芝浦電気株式会社) 1978. 02. 17, 全文, 全図 (ファミリー無し)	1-9
A	J P 2-176473 A (日本電気株式会社) 1990. 07. 09, 全文, 全図 (ファミリー無し)	1-9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技术水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

15. 04. 03

国際調査報告の発送日

30 04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

篠崎 正

印

2 S

9106

電話番号 03-3581-1101 内線 3258